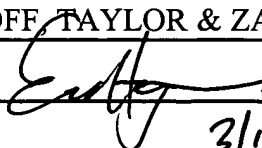
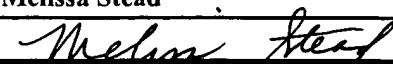


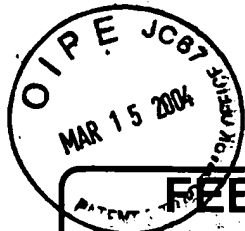


<b>TRANSMITTAL FORM</b> <i>(to be used for all correspondence after initial filing)</i>		Application No.	10/748,613
		Filing Date	December 29, 2003
		First Named Inventor	Min-Suk Lee
		Art Unit	
		Examiner Name	
Total Number of Pages in This Submission	4	Attorney Docket Number	51876P538

ENCLOSURES (check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form  <input type="checkbox"/> Fee Attached  <input type="checkbox"/> Amendment / Response  <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s)  <input type="checkbox"/> Extension of Time Request  <input type="checkbox"/> Express Abandonment Request  <input type="checkbox"/> Information Disclosure Statement  <input type="checkbox"/> PTO/SB/08 <input checked="" type="checkbox"/> Certified Copy of Priority Document(s)  <input type="checkbox"/> Response to Missing Parts/Incomplete Application  <input type="checkbox"/> Basic Filing Fee <input type="checkbox"/> Declaration/POA  <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s)  <input type="checkbox"/> Licensing-related Papers  <input type="checkbox"/> Petition  <input type="checkbox"/> Petition to Convert a Provisional Application  <input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address  <input type="checkbox"/> Terminal Disclaimer  <input type="checkbox"/> Request for Refund  <input type="checkbox"/> CD, Number of CD(s)	<input type="checkbox"/> After Allowance Communication to Group  <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences  <input type="checkbox"/> Appeal Communication to Group (Appeal Notice, Brief, Reply Brief)  <input type="checkbox"/> Proprietary Information  <input type="checkbox"/> Status Letter  <input checked="" type="checkbox"/> Other Enclosure(s) (please identify below): <div style="border: 1px solid black; padding: 5px; margin-top: 5px;">Request for Priority; return postcard</div>
Remarks		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Eric S. Hyman, Reg. No. 30,139 BLAKELY, SOKOLOFF, TAYLOR & ZAFMAN LLP
Signature	
Date	3/11/04

CERTIFICATE OF MAILING/TRANSMISSION			
I hereby certify that this correspondence is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.			
Typed or printed name	Melissa Stead		
Signature		Date	3-11-04



# FEE TRANSMITTAL for FY 2004

Effective 01/01/2004. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27.

TOTAL AMOUNT OF PAYMENT

(\$)

Complete if Known

Application Number	10/748,613
Filing Date	December 29, 2003
First Named Inventor	Min-Suk Lee
Examiner Name	
Art Unit	
Attorney Docket No.	51876P538

## METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None  
☒ Deposit Account

Deposit Account Number

02-2666

Deposit Account Name

Blakely, Sokoloff, Taylor & Zafman LLP

The Commissioner is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☐ Credit any overpayments  
☐ Charge any additional fee(s) or underpayment of fees as required under 37 CFR §§ 1.16, 1.17, 1.18 and 1.20.  
☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account

## FEE CALCULATION

### 1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$)

### 2. EXTRA CLAIM FEES

Total Claims  - 20<sup>\*\*</sup> =  X  =   
Independent Claims  - 3 =  X  =   
Multiple Dependent  X  =

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	86	2201	43	Independent claims in excess of 3	
1203	290	2203	145	Multiple Dependent claim, if not paid	
1204	86	2204	43	**Reissue independent claims over original patent	
1205	18	2205	9	**Reissue claims in excess of 20 and over original patent	
SUBTOTAL (2)					(\$)

\*\*or number previously paid, if greater, For Reissues, see below

## FEE CALCULATION (continued)

### 3. ADDITIONAL FEES

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
2053	130	2053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for <i>ex parte</i> reexamination	
1804	920 *	1804	920 *	Requesting publication of SIR prior to Examiner action	
1805	1,840 *	1805	1,840 *	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	1,210	2255	605	Extension for reply within fifth month	
1404	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	2451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	2460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	1809	385	Filing a submission after final rejection (37 CFR § 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR § 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify) \_\_\_\_\_

\* Reduced by Basic Filing Fee Paid

SUBTOTAL (3)

(\$)

## SUBMITTED BY

Name (Print/Type) Eric S. Hyman

Registration No. (Attorney/Agent)

30,139

Telephone

(310) 207-3800

Signature

Date

2/11/04



DOCKET NO.: 51876P538

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the Application of:

MIN-SUK LEE, ET AL.

Application No.: 10/748,613

Filed: December 29, 2003

For: **METHOD FOR FABRICATING  
SEMICONDUCTOR DEVICE WITH  
FINE PATTERN**

Art Group:

Examiner:

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Applicant respectfully requests a convention priority for the above-captioned application, namely:

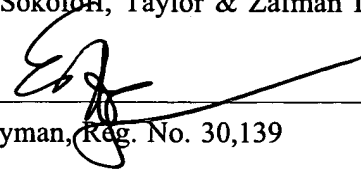
COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	2003-74175	23 October 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 3/11/04

  
Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Boulevard, 7th Floor  
Los Angeles, CA 90025  
Telephone: (310) 207-3800

I hereby certify that this correspondence is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

  
Melissa Stead

3-11-04

Date

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0074175  
Application Number

출원 년 월 일 : 2003년 10월 23일  
Date of Application OCT 23, 2003

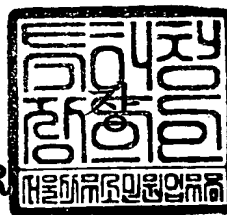
출원 인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003    년    12    월    11    일

특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.10.23
【발명의 명칭】	미세 패턴 형성이 가능한 반도체 장치 제조 방법
【발명의 영문명칭】	METHOD FOR FABRICATION OF SEMICONDUCTOR DEVICE CAPABLE OF FORMING FINE PATTERN
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	이민석
【성명의 영문표기】	LEE, Min Suk
【주민등록번호】	720815-1009119
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 121 상록우성아파트 305-1302
【국적】	KR
【발명자】	
【성명의 국문표기】	이성권
【성명의 영문표기】	LEE, Sung Kwon
【주민등록번호】	640301-1268621
【우편번호】	467-860
【주소】	경기도 이천시 부발읍 현대7차아파트 706-1401
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)

## 【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	26	면	26,000	원
---------	----	---	--------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	16	항	621,000	원
---------	----	---	---------	---

【합계】	676,000	원		
------	---------	---	--	--

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은, 캡핑 공정의 적용없이 ArF 포토리소그라피 공정을 적용하여 미세 패턴 형성이 가능하게 하고, 비교적 단순한 구조 개선에 의해 ArF 포토리소그라피 공정을 적용할 경우 발생하는 패턴의 변형을 방지할 수 있으며, 선택적 에피택셜 성장 방식과 연계될 수 있는 ArF 포토리소그라피 공정을 적용한 반도체 장치 제조 방법을 제공하는 것으로, 이를 위해 본 발명은, 절연성인 질화막을 콘택홀 패턴 형성시 포토레지스트 패턴(반사방지막)과 피식각층 사이에 게재하여 하드마스크로 사용함으로써 ArF 노광원을 포토리소그라피 공정에 적용하는 초미세 패턴 형성 공정에서 패턴 변형을 방지할 수 있도록 한다.

특히, 절연성인 하드마스크 식각 공정과 층간절연막 식각 공정을 동일 챔버 내에서 실시할 수 있도록 함으로써, 공정 시간을 단축하여 생산성을 높일 수 있다.

또한, SAC 식각 및 플러그 형성 공정에서 절연성인 하드마스크로 인해 기판과의 선택을 높여 플러그 물질의 증착시 SEG 공정 적용이 가능하게 한다.

**【대표도】**

도 5e

**【색인어】**

불화아르곤(ArF), 질화막, 하드마스크, 인-시튜, 투 챔버 바디, 라인 패턴.



**【명세서】****【발명의 명칭】**

미세 패턴 형성이 가능한 반도체 장치 제조 방법{METHOD FOR FABRICATION OF SEMICONDUCTOR DEVICE CAPABLE OF FORMING FINE PATTERN}

**【도면의 간단한 설명】**

도 1a 내지 도 1d는 종래기술에 따른 랜딩 플러그 콘택 형성 공정을 도시한 단면도.

도 2는 LPC 형성 공정에서 발생한 ArF 포토레지스트 패턴의 변형을 도시한 SEM 사진.

도 3은 ArF 공정 기술을 적용한 LPC 형성 공정에서 게이트 하드마스크의 손실을 도시한 SEM 사진.

도 4는 ArF 공정 기술을 적용한 LPC 형성 공정에서 패턴이 무너지는 현상을 도시한 SEM 사진.

도 5a 내지 도 5f는 본 발명의 일실시예에 따른 ArF 노광원을 이용한 반도체소자의 패턴 형성 공정을 도시한 단면도.

도 6은 전술한 LPC 형성 공정을 순차적으로 나타내는 플로우차트.

도 7은 하드마스크가 형성된 평면 및 단면 SEM 사진.

도 8은 SAC 식각 공정 후의 평면 및 단면 SEM 사진.

도 9는 식각정지막을 제거하여 기판을 노출시킨 평면 및 단면 SEM 사진.

도 10은 플러그가 형성된 평면 및 단면 SEM 사진.

**\* 도면의 주요부분에 대한 부호의 설명 \***

50 : 기판            51 : 게이트 절연막  
52 : 게이트 전도막    53 : 게이트 하드마스크  
54 : 불순물 확산영역    55, 55a: 식각정지막  
56 : 층간절연막       57a : 하드마스크  
61 : 콘택홀           62 : 블랭킷 식각

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<17>        본 발명은 반도체 장치 제조 방법에 관한 것으로 특히, 반도체 장치의 미세 패턴 형성 방법에 관한 것으로, 더욱 상세하게는 질화막을 하드마스크로 이용하며 ArF 포토리소그래피 공정을 적용한 80nm 이하의 미세 패턴 형성 방법에 관한 것이다.

<18>        일반적으로 반도체 장치는 그 내부에 다수의 단위 소자들을 포함하여 이루어진다. 반도체 장치가 고집적화되면서 일정한 셀(Cell) 면적상에 고밀도로 반도체 소자들을 형성하여야 하며, 이로 인하여 단위 소자, 예를 들면 트랜지스터, 캐패시터들의 크기는 점차 줄어들고 있다. 특히 DRAM(Dynamic Random Access Memory)과 같은 반도체 메모리 장치에서 디자인 룰(Design rule)이 감소하면서 셀의 내부에 형성되는 반도체 소자들의 크기가 점차 작아지고 있다. 실제로 최근 반도체 DRAM 장치의 최소 선폭은 0.1 $\mu$ m 이하로 형성되며, 80nm 이하까지도 요구되고 있다. 따라서 셀을 이루는 반도체 소자들의 제조 공정에 많은 어려움이 발생하고 있다.

- <19> 80nm 이하의 선폭을 갖는 반도체 소자에서 193nm의 파장을 갖는 ArF(불화아르곤) 노광을 이용하여 포토리소그라피 공정을 적용할 경우, 기존의 식각 공정 개념(정확(conformal)한 패턴 형성과 수직한 식각 프로파일 등)에 식각 도중 발생하는 포토레지스트의 변형(Deformation)의 억제라는 추가의 요구 조건이 필요하게 된다. 이에 따라 80nm 이하의 반도체 소자 제조시에는, 식각의 관점에서 기존의 요구조건과 패턴 변형 방지라는 새로운 요구 조건을 동시에 만족하기 위한 공정 조건의 개발이 주요한 과제가 되었다.
- <20> 한편, 반도체 소자의 고집적화가 가속화됨에 따라 반도체 소자를 이루는 여러 요소들은 적층 구조를 이루게 되었고, 이에 따라 도입된 것이 콘택 플러그(또는 패드) 개념이다.
- <21> 이러한 콘택 플러그를 형성함에 있어서, 하부에서의 최소의 면적으로 접촉 면적을 넓히며 상부에서는 후속 공정에 대한 공정 마진을 넓히기 위해 콘택되는 하부에 비해 그 상부의 면적이 큰 일명, 랜딩 플러그 콘택(Landing plug contact) 기술이 도입되어 통상적으로 사용되고 있다.
- <22> 이하, 전술한 랜딩 플러그 콘택 공정을 살펴 보는 바, 도 1a 내지 도 1d는 종래기술에 따른 랜딩 플러그 콘택 형성 공정을 도시한 단면도이다.
- <23> 먼저 도 1a에 도시된 바와 같이, 반도체 장치를 이루기 위한 여러 요소 예컨대, 필드절연막과 웰 등이 형성된 반도체 기판(10) 상에 게이트 하드마스크(13)/게이트 전도막(12)/게이트 절연막(11)이 적층된 게이트전극 패턴(G1, G2)을 형성한다.
- <24> 게이트 절연막(11)은 실리콘 산화막 등의 통상적인 산화막 계열의 물질막을 이용하고, 게이트 전도막(12)은 통상 폴리실리콘, W, WN, WSi<sub>x</sub> 또는 이들의 조합된 형태를 이용한다.

- <25> 게이트 하드마스크(13)는 후속 콘택 형성을 위한 식각 공정 중 층간절연막을 식각하여 콘택홀을 형성하는 과정에서 게이트 전도막(12)을 보호하기 위한 것으로서, 층간절연막과 식각 속도가 현저하게 차이나는 물질을 사용한다. 예컨대, 층간절연막으로 산화막 계열을 사용할 경우에는 실리콘 질화막(SiN) 또는 실리콘 산화질화막(SiON) 등의 질화막 계열의 물질을 사용하고, 층간절연막으로 폴리머계 저유전율막을 사용할 경우에는 산화막 계열의 물질을 사용한다.
- <26> 게이트전극 패턴(G1, G2) 사이의 기판(10)에 소스/드레인 접합 등의 불순물 확산영역(14)을 형성한다.
- <27> 통상, 이온주입을 통해 게이트전극 패턴(G1, G2) 사이에 소스/드레인 접합 영역을 형성하는 경우 게이트전극 패턴(G1, G2)에 얼라인되도록 이온주입을 통해 기판(10)에 불순물을 주입시킨 다음, 게이트전극 패턴(G1, G2) 측벽에 스페이서를 형성하고 다시 이온주입을 실시하여 LDD(Lightly Doped Drain) 구조가 되도록 하는 바, 여기서는 LDD 구조 및 스페이서 형성 공정을 생략하였다.
- <28> 게이트전극 패턴(G1, G2)이 형성된 전면에 후속 자기정렬콘택(Self Align Contact; 이하 SAC 이라 함) 방식을 이용한 식각 공정에서 기판(10)의 어택을 방지하기 위해 식각 멈춤 역할을 하는 식각정지막(15)을 형성한다. 이 때, 게이트전극 패턴(G1, G2)의 프로파일을 따라 식각정지막(15)이 형성되도록 하는 것이 바람직하며, 질화막 계열의 물질막을 이용한다.
- <29> 다음으로 도 1b에 도시한 바와 같이, 식각정지막(15)이 형성된 전체 구조 상부에 산화막 계열의 층간절연막(16)을 형성한다.
- <30> 층간절연막(16)을 산화막 계열의 물질막으로 이용할 경우에는 BSG(Boro-Silicate-Glass)막, BPSG(Boro-Phospho-Silicate-Glass)막, PSG(Phospho-Silicate-Glass)막,



TEOS(Tetra-Ethyl-Ortho-Silicate)막, HDP(High Density Plasma) 산화막 또는 SOG(Spin On Glass)막 등을 이용하며, 산화막 계열 이외에 무기 또는 유기 계열의 저유전율막을 이용할 수 있다.

- <31> 이어서, 층간절연막(16) 상에 LPC 형성을 위한 포토레지스트 패턴(17)을 형성한다. 포토레지스트 패턴(17)과 층간절연막(16) 사이에 통상 반사방지막을 사용하나 여기서는 설명의 간략화를 위해 생략하였다.
- <32> 계속해서 도 1c에 도시된 바와 같이, 포토레지스트 패턴(17)을 식각마스크로 층간절연막(16)과 식각정지막(15)을 식각하여 이웃하는 두 게이트전극 패턴(G1, G2) 사이의 불순물 확산영역(14)을 노출시키는 콘택홀(18)을 형성한다.
- <33> 전술한 콘택홀(18) 형성 공정은 대체적으로, 층간절연막(16)과 게이트 하드마스크(13)의 식각선택비를 이용한 SAC 식각 공정으로 통상 포토레지스트 패턴(16)을 식각마스크로 층간절연막(16)을 식각하여 식각정지막(15)에서 식각 멈춤을 하는 식각 공정과 식각정지막(15)을 제거하여 기판(10, 구체적으로는 불순물 확산영역(14))을 노출시키는 공정과 콘택홀(18)의 개구부를 확장하며 식각 잔류물을 제거하기 위한 세정 공정 등으로 나뉜다. 이러한 식각 공정에서는 주로  $CF_4$  등의  $C_xF_y$ (x,y는 1 ~ 10) 가스와  $CH_2F_2$  등의  $CaHbFc$ (a,b,c는 1 ~ 10) 가스를 혼합하여 사용한다.
- <34> 한편, 고집적화에 따라 게이트전극 패턴(G1, G2)의 수직 높이가 증가하고, 이에 따라 증가한 식각 타겟에 해당하는 만큼 SAC 식각시 식각 가스의 과도한 사용과 식각 시간의 증가가 불가피하다. 이는 결국 도 1c의 도면부호 '19'와 같이 게이트 하드마스크(13)의 손실을 초래하게 된다.

- <35> 애싱(Ashing) 공정을 통해 포토레지스트 패턴(17)을 제거하는 바, 반사방지막으로 유기 계열의 물질을 사용할 경우 이러한 애싱 공정에서 포토레지스트 패턴(17)과 같이 제거된다.
- <36> 계속해서, 도 1d에 도시된 바와 같이, 콘택홀(18)이 형성된 전면에 플러그 형성용 전도성 물질을 증착하여 콘택홀(18)을 충분히 매립시킨 다음, 게이트 하드마스크(13)가 노출되는 타겟으로 평탄화 공정을 실시하여 콘택홀(18)을 통해 불순물 확산영역(14)과 전기적으로 도통되며 게이트 하드마스크(13)와 상부가 평탄화된 플러그(20)를 형성한다.
- <37> 플러그(20) 형성용 전도성 물질막으로 가장 많이 사용되는 물질은 폴리실리콘이며, Ti, TiN 등의 배리어메탈층과 적층하여 형성하기도 하며, 텅스텐 등을 사용하기도 한다.
- <38> 한편, 전술한 도 1c에서 SAC 공정시 게이트 하드마스크(13)이 손실되므로 인해 플러그(20)과 게이트 전도막(12) 사이의 절연 특성이 열화될 뿐만아니라, 게이트 하드마스크(13)의 손실이 심하게 발생하여 게이트 전도막(12)이 노출될 경우 도면부호 '21'과 같이 플러그(20)와 게이트 전도막(12) 사이의 전기적 단락 현상이 발생하게 된다.
- <39> 이상에서 살펴본 바와 같이, 반도체 소자의 고집적화에 따라 LPC 형성 공정에서 게이트 하드마스크(13)의 손실은 불가피하다. 또한, 고해상도를 구현하기 위해 포토레지스트 패턴의 두께 또한 감소해야 하므로 이로 인해 식각 공정에서 포토레지스트 패턴의 마스크로서의 기능이 현저히 감소하게 되었다. 따라서, 이를 극복하기 위해 포토레지스트 패턴(반사방지막을 사용할 경우 반사방지막)과 피식각층 사이에 하드마스크를 사용하는 기술이 도입되었으며, KrF(불화크롬) 또는 ArF 등의 레이저를 노광원으로 사용하는 포토리소그래피 공정에서 폭넓게 사용되고 있으며, 이러한 하드마스크용 물질로 연구 및 사용되어지고 있는 것은 텅스텐과 폴리실리콘이다.

- <40> ArF용 포토레지스트는 아직까지 상용화 되어 있는 것으로는 COMA(CycloOlefin-Maleic Anhydride) 또는 아크릴레이드(Acrylate) 계통의 폴리머 형태, 또는 이들의 혼합 형태를 포함하고 있다.
- <41> 하지만, 주지된 바와 같이 ArF 노광원을 이용한 포토리소그래피 공정에서는 미세화에 적합하다는 장점이 있지만, KrF 포토리소그래피 공정 기술 등에 비해 여러가지 단점이 존재한다.
- <42> 도 2는 LPC 형성 공정에서 발생한 ArF 포토레지스트 패턴의 변형을 도시한 SEM(Scanning Electron Microscopy) 사진이며, 도 3은 ArF 공정 기술을 적용한 LPC 형성 공정에서 게이트 하드마스크의 손실을 도시한 SEM 사진이며, 도 4는 ArF 공정 기술을 적용한 LPC 형성 공정에서 패턴이 무너지는 현상을 도시한 SEM 사진이다.
- <43> 도 2를 참조하면, ArF 포토리소그래피 공정을 적용한 LPC 형성 공정에서는 패턴을 형성하기 위해 식각공정을 진행할 때 'A'와 같이 스트라이에이션(Striation)이 일어났음을 알 수 있다. 이는 LPC 형성을 위한 식각 공정에서 주로 사용되는 불소계 가스에 대한 약한 식각 내성으로 인해 발생하는 전술한 ArF용 포토레지스트의 특성에 기인한 것이다.
- <44> 도 3을 참조하면, LPC 형성을 위한 SAC 식각 공정 후 도시된 'B'와 같이 800Å 이상의 게이트 하드마스크의 손실이 발생하였음을 알 수 있다.
- <45> 도 4의 (a)를 참조하면, LPC 형성을 위한 바형의 ArF 포토레지스트 패턴이 도시된 'C'와 같이 무너져(Pattern collapse) 소자 결함을 유발함을 알 수 있으며, 도 4의 (b)를 참조하면, 도시된 'D'와 같이 ArF 포토레지스트 패턴의 약한 부분(Weak point)에서 패턴 불량 발생함을 알 수 있다.

- <46>      충간절연막을 식각하는 SAC 식각 중 게이트 하드마스크 손실의 최소화 및 충분한 콘택 면적의 확보와 같은 LPC 형성 공정시 기존의 요구 조건은 패턴 변형(Deformation)이 발생하지 않도록 하는 ArF 포토리소그래피 공정과 트레이드-오프(Trade-off) 관계이므로, 전극의 온도(Electrode temperature)와 파워(Power) 등의 공정 변수(Parameter)를 변화시킴에 따라 패턴 변형과 기존의 요구 조건은 서로 역으로 변화게 되어 공정 마진의 감소를 초래하고 결과적으로 공정 조건의 셋업(Set up)에 어려움을 주게 된다.
- <47>      예를 들면, KrF 노광원을 이용한 포토리소그래피 공정을 적용할 경우 LPC 형성을 위한 SAC 식각 공정시 전극의 온도를 60℃ 정도로 유지하는 것이 바람직하나, ArF 노광원을 이용한 포토리소그래피 공정을 적용할 경우 SAC 식각 공정시 전극의 온도를 60℃ 정도로 유지하면 식각 도중에 포토레지스트 패턴이 변형되므로 전극의 온도를 0℃ 정도로 유지하여야 한다. 전극의 온도를 낮게 유지하면 포토레지스트 패턴의 변형은 억제되는 효과를 보이나 이는 상대적으로 SAC 식각 공정의 핵심인 이중막간 예컨대, 산화막과 질화막 간의 식각선택비의 감소를 초래한다.
- <48>      같은 조건 하에서 SAC 식각 공정을 실시하였을 때, KrF 공정 적용시에 비해 ArF 공정 적용시에 약 200Å 이상의 게이트 하드마스크의 손실이 발생함을 확인할 수 있다. 한편, 상대적으로 많은 게이트 하드마스크의 손실을 보상하기 위하여 게이트 하드마스크의 두께를 증가시키게 되면, 게이트전극 패턴의 수직 높이를 증가시켜 게이트전극 패턴의 높이와 게이트전극 패턴 사이의 간격에 해당하는 종횡비(Aspect ratio)를 증가시켜 충간절연막의 갭-필(Gap-fill) 특성과 콘택 면적 확보에 악영향을 끼치게 된다.
- <49>      또한, 게이트 하드마스크의 손실을 보완하기 위해 단차피복성(Step coverage)이 열악한 USG(Undoped Silicate Glass)막 등을 이용하여 일종의 오버행(Over-hang) 구조로 게이트 하드



마스크 상부를 캡핑(Capping)하는 방법이 강구되었다. 이렇듯 캡핑 방법을 이용하여 게이트 하드마스크를 보호하는 것은 콘택 내부의 산화막(충간절연막)의 두께 제어의 어려움으로 기존의 KrF 공정에서도 일부 콘택에 대한 콘택 낫 오픈(Contact not open)에 대한 주범이 되고 있으며, 실제 생산을 위한 경쟁력 있는 LPC 구조를 형성하기 위해서는 이러한 캡핑 방법을 생략해야할 필요가 있다.

<50> ArF 포토리소그래피 공정을 적용한 LPC 형성 공정 자체도 상대적으로 얇은 포토레지스트의 두께와 열악한 식각내성으로 인해 패턴 형성시 취약 부분이 발생하는 문제점과 총횡비 증가로 인한 패턴이 무너지는 현상 등의 문제점을 내포하고 있다.

<51> 이러한 문제점들을 극복하기 위해 전술한 바와 같이 포토레지스트 패턴과 피식각층 사이에 텅스텐 또는 폴리실리콘 등을 하드마스크를 이용하였다.

<52> 텅스텐을 하드마스크로 사용하는 경우의 공정을 간략히 살펴 보면, 게이트전극 패턴이 형성된 전면에 식각정지막과 충간절연막을 형성한 다음, 충간절연막 상에 텅스텐막을 증착하고 포토레지스트 패턴을 형성한 후, 포토레지스트 패턴을 식각마스크로 텅스텐막을 식각하여 텅스텐 하드마스크를 형성한 다음, 포토레지스트 패턴을 제거하고 텅스텐 하드마스크를 식각마스크로 피식각층인 충간절연막과 식각정지막을 식각한 다음, 텅스텐 하드마스크를 제거하고 세정 공정을 실시한 후, 플러그 형성용 물질을 증착하고 평탄화 공정을 통해 플러그를 형성함으로써 LPC 공정을 완료한다.

<53> 이렇듯 텅스텐 또는 폴리실리콘을 하드마스크 사용함으로써, 포토레지스트의 두께를 낮출 수 있어 노광시의 광 감응성을 높임은 물론 ArF 공정의 고질적인 문제인 패턴의 변형과 LPC 공정시의 문제인 게이트 하드마스크의 손실 및 콘택 면적의 축소 등의 문제를 해결할 수 있었다.

<54> 그러나, 텅스텐과 폴리실리콘은 모두 전도성 물질이므로 이를 제거하는 공정이 필수적으로 필요할 뿐만아니라, SAC 식각 공정시 이러한 전도성 물질을 식각하는 공정과 절연성인 층간 절연막을 식각하는 공정은 서로 다른 챔버에서 실시하여야 하므로 공정 시간이 많이 걸리며, 이동에 따른 파티클(Particle)로 인한 오염이라는 부수적인 문제를 야기하게 되는 바, 이러한 문제점들은 SAC 식각 공정이 같은 음극 패턴 형성 공정 뿐만아니라 게이트전극 패턴, 비트라인 또는 금속배선 등의 양극 패턴 형성 공정에서도 동일한 문제점을 야기시킨다.

<55> 아울러, LPC 공정의 경우에는 콘택홀 형성 후, 최근 많이 사용하고 있는 선택적 에피택셜 성장(Selective Epitaxial Growth; 이하 SEG라 함)과 같이 노출된 실리콘 기판 및 절연성 막(즉, 층간절연막)의 선택성을 이용하여 플러그용 물질을 성장시키는 기술에서는 적용하기에 부적절하다. 이는 텅스텐과 폴리실리콘은 기판과 선택성을 가지지 않기 때문이다.

**【발명이 이루고자 하는 기술적 과제】**

<56> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, 캐핑 공정의 적용없이 ArF 포토리소그래피 공정을 적용하여 미세 패턴 형성이 가능한 반도체 장치 제조 방법을 제공하는 것을 그 목적으로 한다.

<57> 또한, 본 발명은 비교적 단순한 구조 변화로 ArF 포토리소그래피 공정을 적용할 경우 발생하는 패턴의 변형을 방지할 수 있는 반도체 장치 제조 방법을 제공하는 것을 다른 목적으로 한다,

<58> 또한, 본 발명은 선택적 에피택셜 성장 방식과 연계될 수 있는 ArF 포토리소그래피 공정을 적용한 반도체 장치 제조 방법을 제공하는 것을 다른 목적으로 한다.

### 【발명의 구성 및 작용】

<59> 상기의 목적을 달성하기 위해 본 발명은, 셀영역과 주변회로영역을 구비하는 기판 상에 이웃하는 복수의 도전패턴을 형성하는 단계; 상기 도전패턴이 형성된 프로파일을 따라 식각정지막을 형성하는 단계; 상기 식각정지막이 형성된 기판 전면에 층간절연막을 형성하는 단계; 상기 층간절연막 상에 하드마스크용 질화막을 형성하는 단계; 상기 하드마스크용 질화막 상에 반사방지막을 형성하는 단계; 상기 반사방지막 상에 ArF 노광원을 이용한 포토리소그래피 공정을 통해 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 식각마스크로 상기 반사방지막과 상기 하드마스크용 질화막을 선택적으로 식각하여 하드마스크를 형성하는 단계; 상기 포토레지스트 패턴 및 상기 반사방지막을 제거하는 단계; 상기 하드마스크를 식각마스크로 상기 이웃하는 도전패턴 사이의 상기 층간절연막을 식각하여 상기 식각정지막을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀 저면에서의 상기 식각정지막을 제거하여 상기 기판을 노출시키는 단계; 및 상기 노출된 기판에 전기적으로 도통된 플러그를 형성하는 단계를 포함하며, 상기 하드마스크를 형성하는 단계 내지 상기 식각정지막을 제거하는 단계를 인-시튜로 실시하는 것을 특징으로 하는 반도체 장치 제조 방법을 제공한다.

<60> 또한, 상기 목적을 달성하기 위해 본 발명은, 셀영역과 주변회로영역을 구비하는 기판 상에 이웃하는 복수의 도전패턴을 형성하는 단계; 상기 도전패턴이 형성된 프로파일을 따라 식각정지막을 형성하는 단계; 상기 식각정지막이 형성된 기판 전면에 층간절연막을 형성하는 단계; 상기 층간절연막 상에 하드마스크용 질화막을 형성하는 단계; 상기 하드마스크용 질화막

상에 반사방지막을 형성하는 단계; 상기 반사방지막 상에 ArF 노광원을 이용한 포토리소그래피 공정을 통해 포토레지스트 패턴을 형성하는 단계; 적어도 두개의 챔버를 포함하는 식각 장치에 상기 포토레지스트 패턴이 형성된 기판을 장입하는 단계; 상기 포토레지스트 패턴을 식각마스크로 상기 반사방지막과 상기 하드마스크용 질화막을 선택적으로 식각하여 하드마스크를 형성하는 단계; 상기 포토레지스트 패턴 및 상기 반사방지막을 제거하는 단계; 상기 하드마스크를 식각마스크로 상기 이웃하는 도전패턴 사이의 상기 층간절연막을 식각하여 상기 식각정지막을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀 저면에서의 상기 식각정지막을 제거하여 상기 기판을 노출시키는 단계; 및 상기 노출된 기판에 전기적으로 도통된 플러그를 형성하는 단계를 포함하며, 상기 하드마스크를 형성하는 단계 내지 상기 식각정지막을 제거하는 단계를 상기 식각 장치 내에서 인-시튜로 실시하는 것을 특징으로 하는 반도체 장치 제조 방법을 제공한다.

<61> 본 발명은, 절연성인 질화막을 콘택홀 패턴 형성시 포토레지스트 패턴(반사방지막)과 피식각층인 층간절연막 사이에 게재하여 하드마스크로 사용함으로써 ArF 노광원을 포토리소그래피 공정에 적용하는 초미세 패턴 형성 공정에서 패턴 변형을 방지할 수 있도록 한다.

<62> 특히, 절연성인 하드마스크 식각 공정과 층간절연막 식각 공정을 동일 챔버 내에서 실시할 수 있도록 함으로써, 공정 시간을 단축하여 생산성을 높일 수 있다.

<63> 또한, SAC 식각 및 플러그 형성 공정에서 절연성인 하드마스크로 인해 기판과의 선택을 높여 플러그 물질의 증착시 SEG 공정 적용이 가능하게 한다.

- <64> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.
- <65> 도 5a 내지 도 5f는 본 발명의 일실시예에 따른 ArF 노광원을 이용한 반도체소자의 패턴 형성 공정을 도시한 단면도로서, 이를 참조하여 상세히 설명한다.
- <66> 후술하는 본 발명의 일실시예에서는 반도체소자의 스페이스 패턴(Space pattern) 예컨대, 콘택홀 패턴 형성 공정을 그 일례로 하여 설명하는 바, 본 발명의 적용 대상이 되는 콘택홀 패턴은 금속배선 콘택과 비트라인 또는 캐패시터의 스토리지 노드 콘택을 위한 소스/드레인 접합 등의 기판 내의 불순물 접합층과의 콘택 및 콘택 패드 형성을 위한 공정 등에 적용이 가능하다.
- <67> 먼저 도 5a에 도시된 바와 같이, 반도체 장치를 이루기 위한 여러 요소 예컨대, 필드절연막과 웰 등이 형성된 반도체 기판(50) 상에 게이트 하드마스크(53)/게이트 전도막(52)/게이트 절연막(51)이 적층된 게이트전극 패턴(G1, G2)을 형성한다.
- <68> 게이트 절연막(51)은 실리콘 산화막 등의 통상적인 산화막 계열의 물질막을 이용하고, 게이트 전도막(52)은 폴리실리콘, 텅스텐(W), 텅스텐 질화막( $WN_x$ ), 텅스텐 실리사이드( $WSi_x$ ) 등의 단독 또는 이들의 조합된 형태를 이용한다.
- <69> 게이트 하드마스크(53)는 후속 콘택 형성을 위한 식각 공정 중 층간절연막을 식각하여 콘택홀을 형성하는 과정에서 게이트 전도막(52)이 어택받는 것을 방지하기 위한 것으로서, 층간절연막과 식각 속도가 현저하게 차이나는 물질을 사용한다. 예컨대, 층간절연막으로 산화막 계열을 사용할 경우에는 실리콘 질화막( $SiN$ ) 또는 실리콘 산화질화막( $SiON$ ) 등의 질화막 계열

의 물질을 사용하고, 층간절연막으로 폴리머계 저유전율막을 사용할 경우에는 산화막 계열의 물질을 사용한다.

<70> 게이트전극 패턴(G1, G2) 사이의 기판(50)에 소스/드레인 접합 등의 불순물 확산영역(54)을 형성한다.

<71> 이온주입을 통해 게이트전극 패턴(G1, G2) 사이에 소스/드레인 접합 영역을 형성하는 경우, 통상 게이트전극 패턴(G1, G2)에 얼라인되도록 이온주입을 통해 기판(50)에 불순물을 주입시킨 다음, 게이트전극 패턴(G1, G2) 측벽에 스페이서를 형성하고 다시 이온주입을 실시하여 LDD 구조가 되도록 하는 바, 여기서는 LDD 구조 및 스페이서 형성 공정을 생략하였다.

<72> 게이트전극 패턴(G1, G2)이 형성된 전면에 후속 SAC 식각 공정에서 기판(50)의 어택을 방지하기 위해 식각 정지 역할을 하는 식각정지막(55)을 형성한다. 이 때, 게이트전극 패턴(G1, G2)의 프로파일을 따라 식각정지막(55)이 형성되도록 하는 것이 바람직하며, 식각정지막(55)으로는 실리콘질화막 또는 실리콘산화질화막 등의 질화막 계열의 물질막을 이용한다.

<73> 다음으로 도 5b에 도시한 바와 같이, 식각정지막(55)이 형성된 전체 구조 상부에 산화막 계열의 층간절연막(56)을 형성한다.

<74> 층간절연막(56)을 산화막 계열의 물질막으로 이용할 경우에는 BSG막, BPSG막, PSG막, TEOS막, HDP 산화막 또는 SOG막 등을 이용하며, 산화막 계열 이외에 무기 또는 유기 계열의 저유전율막을 이용할 수 있다.

<75> 이어서, 층간절연막(56) 상에 절연성 물질이면서도 층간절연막(56)과의 식각선택비를 갖는 하드마스크 재료로 사용되는 하드마스크용 질화막(57)을 형성한다. 하드마스크용 질화막(57)은 플라즈마 화학기상증착(Plasma Enhanced Chemical Vapor Deposition) 방식을 이용한 질

화막 일명, PE-질화막 또는 저압 화학기상증착(Low Pressure Chemical Vapor Deposition) 방식을 이용한 질화막 일명, LP-질화막을 사용하는 것이 바람직하며, 그 증착 두께는 후속 층간절연막(56)을 SAC 식각시 발생하는 손실량과 식각정지막(55)을 식각하여 불순물 확산영역(54)을 노출할 때 손실되는 양을 모두 고려하여(두 손실되는 양을 합하여) 식각정지막(55) 식각시 인시투로 자연스럽게 제거될 수 있을 정도 또는 그 이상으로 하는 것이 바람직하다.

<76> 예컨대, 본 발명의 바람직한 실시예에서는 SAC 식각시의 300Å과 식각정지막(55) 식각시의 300Å를 고려하여 500Å ~ 800Å 정도(100nm 이하의 디바이스인 경우)의 두께로 하였는바, 이는 적용되는 레티클(Reticle)이나 디바이스에 따라 달라질 수 있다.

<77> 하드마스크용 질화막(57) 상에 패턴 형성을 위한 노광시 하부 즉, 하드마스크용 질화막(57)의 광반사도가 높임으로써 난반사가 이루어져 원하지 않는 패턴이 형성되는 것을 방지하며, 하드마스크용 질화막(57)과 후속 포토레지스트의 접착력을 향상시킬 목적으로 반사방지막(58)을 형성한다.

<78> 여기서, 반사방지막(58)은 포토레지스트와 그 식각 특성이 유사한 유기 계열(Organic)의 물질을 사용하는 것이 바람직하다.

<79> 아울러, 본 실시예에서는 반사방지막(58)을 사용하는 것을 그 예로 하였으나, 공정에 따라서는 이를 생략할 수도 있다.

<80> 이어서, 반사방지막(58) 상에 ArF 노광원용의 포토레지스트를 스핀 코팅 등의 방법을 통해 적절한 두께로 도포한 다음, ArF 노광원과 콘택홀의 폭을 정의하기 위한 소정의 레티클(도시하지 않음)을 이용하여 포토레지스트의 소정 부분을 선택적으로 노광하고, 현상 공정을 통해

노광 공정에 의해 노광되거나 혹은 노광되지 않은 부분을 잔류시킨 다음, 후세정 공정 등을 통해 식각 잔유물 등을 제거함으로써 LPC 형성을 위한 포토레지스트 패턴(59)을 형성한다.

<81> 도 5b에서는 LPC 형성을 위해 콘택홀이 형성된 영역(C/T)을 정의하는 포토레지스트 패턴(59)이 형성된 공정 단면을 나타낸다.

<82> 한편, 텅스텐 또는 폴리실리콘을 하드마스크용 물질로 사용하는 종래의 방식에서는 이들 자체의 반사도가 높아 오버레이(Over-lay)를 읽는데에 큰 문제점을 드러내어 마스크 정렬시 별도의 얼라인 키 오픈 공정이 필요하였으나, 질화막의 경우 텅스텐과 폴리실리콘에 비해 반사도가 매우 낮으므로 마스크 정렬시 큰 어려움이 없다.

<83> 패턴 형성을 위한 포토레지스트의 두께는 얇은 하드마스크용 질화막(57)을 식각하는 정도의 두께만이 필요하므로 종래의 경우(하드마스크를 사용하지 않거나 또는 폴리실리콘이나 텅스텐 하드마스크를 사용하는 경우)에 비해 얇은 두께의 포토레지스트를 사용하여도 무방하며, 이는 패턴 형성시의 디파인(Define) 능력을 향상시키게 되어 패턴의 무너지는 현상이 없이 미세한 미세한 패턴의 형성을 가능하게 한다.

<84> 따라서, 80nm 이하의 최소 선폭을 갖는 제조 기술에도 적용이 가능하게 된다. 예컨대, 80nm 기술에서 포토레지스트의 예상 두께는 1500Å이므로 700Å 정도의 하드마스크용 질화막(57)의 식각에 필요한 포토레지스트의 최소 두께는 1000Å 정도로 예상되므로 80nm 이하의 공정에서 충분히 적용할 수 있다.

<85> 계속해서, 도 5c에 도시된 바와 같이, 포토레지스트 패턴(59)이 형성된 기판(50)을 적어도 두개의 챔버를 갖는 식각 장치에 장입한 다음, 포토레지스트 패턴(59)을 식각마스크로 반사방지막(58)과 하드마스크용 질화막(57)을 식각하여 하드마스크(57a)를 형성한다.



- <86> ArF 포토리소그래피 공정을 적용하는 경우 특히, 라인 형태의 질화막을 식각하여 패턴을 형성하는 것은 공정 레시피(Recipe)의 셋업이 극히 어려운 것 중의 하나에 속하는 바, 1000 Å 이하의 질화막에 대해 공정 조건을 확보하는 것이 매우 중요하다.
- <87> 이를 위해 우선 하드마스크용 질화막(57)을 식각하기 위해서는 스트라이에이션 및 패턴 변형에 유리한 레시피를 적용해야 하며, 그 특징은 전극의 온도가 낮고, 장비 내의 구조가 플라즈마 소스와 바이어스가 독립적으로 제어되며, 바이어스 파워가 극도로 낮아야 유리하게 된다.
- <88> 이를 실험적으로 얻은 레시피는 TEL사의 SCCM 장비를 사용하였을 경우 '50mTorr의 챔버 내의 압력과 1000W의 소스 파워와 200W의 바이어스 파워와 20SCCM의 O<sub>2</sub>와 100SCCM의 CF<sub>4</sub> 및 0 °C의 전극 온도'라는 레시피가 바람직함을 실험을 통해 얻을 수 있었다.
- <89> 전술한 레시피는 유기 계열의 반사방지막(58)의 식각과 함께 하드마스크용 질화막(57)의 식각이 동시에 일어나게 하며, 도 5c의 하드마스크(57a) 구조를 실현하기 위해 중요하다. 또한, 이 때 식각 가스와 식각 시간의 제어를 통해 바형 패턴인 하드마스크(57a)의 임계치수 (Critical Dimension; 이하 CD 라 함)를 조절할 수 있어 후속 SAC 식각 공정을 통한 콘택홀 저면의 CD 확보를 위한 마진을 높일 수 있다.
- <90> 애싱 공정을 통해 포토레지스트 패턴(59)을 제거하는 바, 반사방지막(58)으로 유기 계열의 물질을 사용할 경우 이러한 애싱 공정에서 포토레지스트 패턴(59)과 같이 제거된다. 애싱 공정은 통상의 포토레지스트 스트립(Photoresist strip) 장치에서 실시하는 포토레지스트 스트립 공정 또는 O<sub>2</sub> 플라즈마 처리를 포함한다.

- <91> 한편, 포토레지스트 패턴(59)이 잔류할 경우 후속 SAC 식각 공정에서 패턴 불량을 초래할 수 있으므로 제거해야 한다.
- <92> 계속해서 도 5d에 도시된 바와 같이, 하드마스크(57a)를 식각마스크로 피식각층인 층간절연막(56)을 식각하여 이웃하는 두 게이트전극 패턴(G1, G2) 사이의 식각정지막(55)을 노출시키는 SAC 식각 공정(60)을 실시하여 콘택홀(61)을 형성한다.
- <93> 이 때, 층간절연막(56)의 식각은 포토레지스트 패턴의 변형을 고려하지 않아도 되므로 하드마스크(57a)와의 선택비를 극대화시키고 콘택홀(61)의 저면 CD를 충분히 확보하는 SAC 고유의 특성을 갖는 레시피를 적용한다.
- <94> 포토레지스트에 의한 카본(Carbon, C) 소스의 공급이 제한되는 이유로 통상의 SAC 레시피에 비해 높은 선택비를 갖는 가스의 사용이 필수적이며, 기존의  $C_4F_8$  보다는  $C_4F_6$  또는  $C_5F_8$  등의  $CF_2$  래디컬(Radical)을 다량으로 발생시키는 가스를 사용하는 것이 바람직하다.
- <95> 또한, 고선택비 사용에 따라 상대적으로 취약해지는 콘택 저면의 CD 확보를 위해 적절한 레시피의 설정이 요구된다. 설정된 레시피는  $40^\circ C$  정도의 높은 전극 온도를 사용하여 선택비를 개선시키고  $O_2$ 를 첨가하여 콘택홀(61) 저면의 CD를 확보한다.
- <96> 이를 실험적으로 얻은 SAC 레시피는 TEL사의 SCCM 장비를 사용하였을 경우 '40mTorr의 챔버 내의 압력과 500W의 소스 파워와 1200W의 바이어스 파워와 7SCCM의  $C_5F_8$ 과 800SCCM의 Ar과 5SCCM의  $O_2$  및  $40^\circ C$ 의 전극 온도'라는 레시피가 바람직함을 실험을 통해 얻을 수 있었다. 이 때 발생하는 게이트 하드마스크(53)의 손실(L)은 약  $350 \text{ \AA}$  정도로 종래의 포토레지스트 패턴을 식각마스크로 하여 SAC 식각을 하는 경우에 발생하는  $800 \text{ \AA} \sim 900 \text{ \AA}$ 의 손실에 비해 크게 개선되었음을 알 수 있다.

- <97> 게이트 하드마스크(53) 손실의 대폭 축소로 인해 후속 식각정지막(55) 식각에서 발생하는 약 300Å 정도의 게이트 하드마스크(53)의 손실을 더하더라도 종래의 포토레지스트 패턴을 식각마스크로 SAC 공정을 실시하는 경우에 비해 개선되었음을 알 수 있다. 이는 추가로 USG막 등을 이용하여 게이트전극 패턴(G1, G2) 상부에 캡핑층을 형성하여 게이트 하드마스크(53)를 보호할 필요가 없도록 한다. 즉, 캡핑층의 형성 공정을 생략할 수 있도록 한다.
- <98> 캡핑층 형성 공정의 생략은 공정 단순화의 측면도 있지만, 캡핑층 형성시 콘택홀 내부에 증착되는 불규칙한 두께로 인해 콘택 오픈을 위한 식각정지막(55) 식각 공정시 주로 발생하는 콘택 낮 오픈 현상을 방지할 수 있게 한다. 실제로 캡핑층을 적용하고 있는 100nm 정도의 최소 선폭을 갖는 디바이스의 경우 캡핑층 공정 제어의 실패(Control fail)가 자주 발생하고 있으며, 이를 해결하기 위해 캡핑층의 두께 및 습식 세정(Wet cleaning) 공정에 세심한 제어가 요구된다.
- <99> 또한, 디자인 룰(Design rule)이 더욱 작아지는 80nm 이하의 디바이스에서는 캡핑층 형성 공정이 오버-행(Over-hang) 등의 문제가 발생하여 실제 공정에 적용이 불가능하다. 따라서, 80nm 이하의 디바이스에서는 캡핑층의 생략이 필수적이라 할 수 있다.
- <100> 이어서, 도 5e에 도시된 바와 같이, 식각정지막(55)을 제거하여 기판(50, 구체적으로는 불순물 확산영역(54))을 노출시킨다.
- <101> 식각정지막(55)의 식각은 도면부호 '62'와 같이 블랭킷 식각(Blanket etch)을 이용하며, 이 때 콘택홀(61) 저면의 식각정지막(55)의 제거되는 양과 거의 동일한 약 300Å 정도의 게이트 하드마스크(53)가 손실되어 총 600Å ~ 700Å 정도의 게이트 하드마스크(53)의 손실이 발생하게 된다.

- <102> 식각정지막(55) 식각시에는 층간절연막(56) 상부에 잔존하는 하드마스크(57a)가 인-시튜로 제거되도록 하는 것이 바람직하다. 그 이유는 후속 세정 공정에서 하드마스크(57a)의 리프팅(Lifting) 발생 우려가 있고, 또한 플러그 격리를 위한 평탄화 공정에서 제거해야할 부담으로 작용할 수 있기 때문이다.
- <103> 따라서, 하드마스크(57a)의 두께는 계산 상으로 층간절연막(56) 식각시 손실되는 양과 식각정지막 식각시 제거되는 양에 해당하는 두께로 설정하는 것이 바람직하며, 실험적으로 600 Å ~ 700 Å 정도가 적정 두께이다.
- <104> 절연성인 질화막을 하드마스크(57a)로 사용함으로써 인해 일련의 LPC 형성 공정을 동일한 장비에서 인-시튜로 진행하는 것이 가능하다. 예를 들면, 포토레지스트 스트리퍼가 장착된 투 챔버 바디(Two chamber body)의 경우 ArF 포토리소그래피 공정에 의해 하드마스크용 질화막을 식각하여 하드마스크를 형성한 후 포토레지스트 스트립 공정을 진행하고, 다른 챔버에서 SAC 식각 공정과 식각정지막 식각 공정을 실시하는 것이 가능하다.
- <105> 이는 종래의 폴리실리콘 또는 텅스텐 등의 도전성 물질을 하드마스크로 사용하는 경우 도전성 하드마스크를 식각하기 위해 서로 다른 장비를 오가며 식각해야 하는 단점을 해결할 수 있으며, 양산 적용시 TAT(Turn Around Time) 단축에 큰 도움이 될 수 있다.
- <106> 계속해서, 도 5f에 도시된 바와 같이, 콘택홀(61)이 형성된 기판(50) 전면에는 플러그 형성용 전도성 물질을 증착하여 콘택홀(61)을 충분히 매립시킨 다음, 게이트 하드마스크(53)가 노출되는 타겟으로 평탄화 공정을 실시하여 콘택홀(61)을 통해 불순물 확산영역(54)과 전기적으로 도통되며 게이트 하드마스크(53)와 상부가 평탄화된 플러그(63)를 형성한다.

- <107>      평탄화 공정으로는 먼저 화학기계적연마(Chemical Mechanical Polishing; 이하 CMP라 함)를 위해 메모리의 셀영역과 주변회로영역의 단차를 감소시키기 위해 플러그 물질에 대한 에치백(Etchback) 공정을 실시한다. 한편, 주변회로영역 상부에 하드마스크(57a)가 남아있도록 할 수 있는 바, 이는 셀영역에서의 하드마스크용 질화막의 두께가 주변회로영역 보다 두껍게 남도록 하거나, 또는 식각정지막(55) 제거시 블랭킷 식각을 실시하지 않고 셀영역 만을 오픈시키는 마스크(셀 오픈 마스크)를 이용하여 셀영역의 식각정지막을 제거함으로써 주변회로영역에서 하드마스크(57a)가 남도록 할 수 있다.
- <108>      주변회로영역에서 하드마스크(57a)가 남도록 하는 이유는 후속 CMP 공정 진행 중 셀영역과 주변회로영역 간의 패턴 밀도 차에 의해 주변회로영역에 격리된(Isolated) 패턴 예컨대, 게이트전극 패턴 등에 발생할 수 있는 어택을 방지하기 위함이다. 실제로 주변회로영역에 하드마스크(57a)를 잔존시켜 CMP 공정을 진행한 결과 주변회로영역에서의 게이트전극 패턴에 대한 어택을 방지할 수 있어 CMP 공정의 마진을 높일 수 있다.
- <109>      이어서, CMP 공정을 통해 평탄화시 연마 타겟을 꼭 게이트 하드마스크(53)로 맞출 필요 없이 사용되는 마스크 패턴의 종류에 따라 층간절연막(56)이 일부가 남도록 할 수도 있다.
- <110>      플러그(63) 형성용 전도성 물질막으로 가장 많이 사용되는 물질은 폴리실리콘이며, Ti, TiN 등의 배리어메탈층과 적층하여 형성하기도 하며, 텅스텐 등을 사용하기도 한다.
- <111>      최근에는 플러그(63)를 형성할 때 전술한 증착 공정 이외에 SEG 공정 또한 많이 적용된다.
- <112>      하드마스크(57a)로 절연성인 질화막을 사용함으로써 인해 SEG 방식의 플러그(63) 형성 공정에서 폴리실리콘 증을 증착하는 방식은 물론 SEG 등의 성장 방식을 적용할 수 있다. 종래의

텅스텐 또는 폴리실리콘을 하드마스크(57a)로 사용하는 경우에는 SEG 방식을 적용할 경우 노출된 기판(50)의 불순물 확산영역(54)과 하드마스크(57a)와의 선택성이 상실되어 하드마스크(57a)에서도 실리콘이 성장하는 문제가 발생하므로 종래의 경우 SEG 공정을 적용하기 전에 반드시 하드마스크(57a)를 제거해야만 하므로 공정상의 번거로움이 있었다. 그러나, 본 발명에서는 질화막을 하드마스크(57a)로 사용함으로 인해 SEG 공정을 적용하더라도 반드시 하드마스크(57a)를 제거할 필요가 없다. 따라서, 80nm는 물론 그 이하의 공정에 까지 플러그 형성 공정에 상관없이 적용할 수 있는 장점이 있다. 또한, 부수적으로 플러그 물질의 증착 방식을 이용하는 종래의 경우에는 층간절연막(56)의 프로파일에 의존하여 플러그 심(Seam)이 발생하였으나, 본 발명에서는 하드마스크(57a)를 이용하여 층간절연막(56)의 프로파일을 개선함으로써 플러그 심 발생을 방지할 수 있다. 이는 종래에는 캡팅층의 증착과 습식 세정으로 층간절연막(56)의 프로파일이 플러그 물질의 증착 과정에서 심을 유발하였던 것과는 달리 본 발명에서는 층간절연막(56)의 프로파일이 약간의 양의 경사(Positive slope)를 갖게 되어 심 발생을 억제하기 때문이다.

<113> 도 6은 전술한 LPC 형성 공정을 순차적으로 나타내는 플로우차트로서, 이를 참조하여 본 발명의 장점을 살펴 본다.

<114> 먼저, 절연성인 하드마스크용 질화막을 증착함으로써(600), 종래의 폴리실리콘 등의 전도성 하드마스크에 비해 TAT를 감소시킬 수 있다.

<115> 종래의 전도성 하드마스크에 비해 반사도가 낮아 LPC 형성을 위한 콘택 마스크를 형성(610)할 때, 오버레이 마진을 높일 수 있고, 또한 포토레지스트의 두께를 낮출 수 있어 CD 및 패턴의 무너지는 현상을 개선할 수 있다.

- <116> LPC 마스크를 식각마스크로 이용하여 하드마스크용 질화막을 식각하여 하드마스크를 형성하는 바(620), 후속 SAC 식각 공정과 동일한 장비에서 식각 진행이 가능하다. 즉, 산화막 식각용 챔버를 사용할 수 있다.
- <117> 도 7은 하드마스크가 형성된 평면 및 단면 SEM 사진으로서, 도 7의 (b)는 도 7의 (a)를 a-a' 방향으로 절취한 단면을 나타낸다.
- <118> 도 7을 참조하면, 하드마스크(57a) 형성을 위한 식각 공정에서 패턴의 변형과 스트라이에이션이 거의 발생하지 않았음을 확인할 수 있다.
- <119> 층간절연막을 식각하여 콘택홀을 형성하는 SAC 식각 공정을 진행함에 있어서(630), ArF 포토레지스트와 관련된 패턴의 변형과 스트라이에이션의 발생을 감소시키며, 고선택비를 갖는 SAC 레시피를 적용할 수 있다.
- <120> 도 8은 SAC 식각 공정 후의 평면 및 단면 SEM 사진으로서, 도 8의 (b)는 도 8의 (a)를 b-b' 방향으로 절취한 단면을 나타낸다.
- <121> 도 8을 참조하면, 층간절연막(56)을 식각하는 SAC 식각 공정에서 질화막을 하드마스크로 사용함으로써, 선택비를 극대화시켜 콘택홀(61)의 저면 CD를 55nm 이상으로 확보할 수 있으며, 게이트 하드마스크(53)의 손실을 350Å 이하로 줄일 수 있음을 확인할 수 있다.
- <122> 식각정지막을 제거하여 콘택 부위(예컨대, 기관의 불순물 확산영역)를 오픈시키는 공정을 진행함에 있어서(640), 인-시튜로 하드마스크를 제거할 수 있고, SAC 식각과 동일한 장비에서 일괄적으로 공정이 가능하며, 캡핑층 형성 공정을 생략할 수 있도록 한다.
- <123> 도 9는 식각정지막을 제거하여 기관을 노출시킨 평면 및 단면 SEM 사진으로서, 도 9의 (b)는 도 9의 (a)를 c-c' 방향으로 절취한 단면을 나타낸다.

- <124> 도 9를 참조하면, 콘택홀(61) 저면에서 콘택 낫 오픈이 발생하지 않았으며, SAC 식각과 식각정지막 제거를 위한 식각 공정 등에서 게이트 하드마스크(53)의 총 손실이  $600\text{\AA}$  이하임을 알 수 있다.
- <125> 플러그 물질을 증착 및 에치백함에 있어서(650), SEG 방식을 적용할 수 있으며, 플러그 심의 발생을 억제할 수 있다.
- <126> CMP 공정을 적용한 평탄화 공정을 통해 이웃하는 플러그와 서로 격리된 플러그를 형성함에 있어서(660), 주변회로영역의 하드마스크를 활용하여 CMP 공정시 주변회로영역에서 패턴(예컨대, 게이트전극 패턴)의 어택을 방지할 수 있다.
- <127> 도 10은 플러그가 형성된 평면 및 단면 SEM 사진을 나타낸다.
- <128> 도 10의 (a)는 플러그(63)가 형성된 평면을 나타내며, 도 10의 (b)는 셀영역에서 게이트전극 패턴(G1, G2) 사이에 플러그(63)가 형성된 단면을 나타내며, 도 10의 (c)는 식각정지막 제거 공정시 셀오픈 마스크를 이용함으로써 주변회로영역에서 하드마스크를 잔류시킨 경우 플러그 형성 후의 주변회로영역의 단면을 나타낸다.
- <129> 도 10의 (b)를 참조하면, 플러그 심이 전혀 발생하지 않았음을 알 수 있다. 또한, 도 10의 (c)를 참조하면, 하드마스크(57a)의 일부가 잔류하므로 플러그 격리를 위한 CMP 공정에서 게이트전극 패턴(G)에 대한 어택이 발생하지 않았음을 알 수 있다.
- <130> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명



의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

- <131> 예컨대, 전술한 본 발명의 실시예에서는 라인 타입의 SAC 공정만을 그 예로 하였으나, 이외에도 홀(Hole) 타입의 SAC 공정에도 적용이 가능하며, 게이트전극 패턴 사이 뿐만아니라 비트라인 사이를 오픈시키는 공정(즉, 스토리지노드 콘택홀 형성 공정) 또는 비아 콘택 형성 공정 등 다양한 반도체 제조 공정에 적용이 가능하다.
- <132> 또한, 전술한 실시예에서는 두개 이상의 챔버를 갖는 식각 장치에서 하드마스크의 형성 내지는 식각정지막의 제거 공정을 실시하는 것을 그 예로 하였으나, 이러한 공정의 하나의 챔버에서 인-시튜로 실시할 수 있다.
- <133> 예컨대, 하드마스크 형성과 피알 스트립 및 SAC 식각 공정은 하나의 챔버에서 가능하고, 식각정지막을 제거하는 공정을 하드마스크 형성 및 SAC 식각 공정과 같은 챔버에서 실시하는 것이다.

## 【발명의 효과】

- <134> 상술한 바와 같은 본 발명은, 다음과 같은 효과가 있다.
- <135> 1) 박막 형태의 질화막을 하드마스크로 사용함으로써 인해 식각시 요구되는 포토레지스트의 두께를 감소시켜 포토리소그래피 공정에서의 공정 마진을 확보함으로써, 미세 패턴의 구현을 용이하도록 한다(패턴의 무너짐과 CD 개선).
- <136> 2) 질화막을 하드마스크로 사용함으로써 인해 산화막용 챔버에서 인-시튜로 하드마스크 패턴 형성과 SAC 식각 및 식각정지막 제거 등의 일련의 공정을 할 수 있도록 한다.

- <137> 3) 패턴 형성된 완료된 하드마스크를 이용한 SAC 식각으로 고선택비를 갖는 레시피 사용을 가능하게 하여 게이트 하드마스크의 손실을 최소화할 수 있다.
- <138> 4) 적은 양의 하드마스크의 손실에 따라 캡핑층 형성 공정을 생략하도록 하여 공정 단순화 및 캡핑층으로 인한 콘택 낮 오픈 등의 문제점 발생을 원천적으로 차단한다.
- <139> 5) 절연성인 질화막을 하드마스크로 사용함으로 인해후속 플러그 형성 공정시 기존의 플러그는 물론 SEG 등의 성장 공정에도 적용이 가능하여 80nm 이하의 디바이스 기술에도 적용이 가능하다.
- <140> 6) 층간절연막의 프로파일을 개선하여 플러그 심 발생을 억제한다.
- <141> 7) 주변회로영역을 보호하는 잔존하는 하드마스크로 인해 CMP 공정시 주변회로영역에서 게이트전극 패턴 등의 어택을 방지할 수 있다.

【특허청구범위】

【청구항 1】

셀영역과 주변회로영역을 구비하는 기판 상에 이웃하는 복수의 도전패턴을 형성하는 단계;

상기 도전패턴이 형성된 프로파일을 따라 식각정지막을 형성하는 단계;

상기 식각정지막이 형성된 기판 전면에 층간절연막을 형성하는 단계;

상기 층간절연막 상에 하드마스크용 질화막을 형성하는 단계;

상기 하드마스크용 질화막 상에 반사방지막을 형성하는 단계;

상기 반사방지막 상에 ArF 노광원을 이용한 포토리소그래피 공정을 통해 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각마스크로 상기 반사방지막과 상기 하드마스크용 질화막을 선택적으로 식각하여 하드마스크를 형성하는 단계;

상기 포토레지스트 패턴 및 상기 반사방지막을 제거하는 단계;

상기 하드마스크를 식각마스크로 상기 이웃하는 도전패턴 사이의 상기 층간절연막을 식각하여 상기 식각정지막을 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀 저면에서의 상기 식각정지막을 제거하여 상기 기판을 노출시키는 단계; 및

상기 노출된 기판에 전기적으로 도통된 플러그를 형성하는 단계를 포함하며,

상기 하드마스크를 형성하는 단계 내지 상기 식각정지막을 제거하는 단계를 인-시튜로 실시하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 식각정지막을 제거하는 단계에서, 블랭킷 식각 또는 셀 오픈 마스크를 이용하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 3】

제 2 항에 있어서,

상기 콘택홀을 형성하는 단계에서 손실되는 양과, 상기 식각정지막을 제거하는 단계에서 손실되는 양을 합한 것과 같거나 큰 두께로 상기 하드마스크용 질화막을 형성하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 4】

제 1 항에 있어서,

상기 식각정지막을 제거하는 단계에서, 상기 하드마스크를 동시에 제거하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 5】

셀영역과 주변회로영역을 구비하는 기판 상에 이웃하는 복수의 도전패턴을 형성하는 단계;

상기 도전패턴이 형성된 프로파일을 따라 식각정지막을 형성하는 단계;

상기 식각정지막이 형성된 기판 전면에 층간절연막을 형성하는 단계;

상기 층간절연막 상에 하드마스크용 질화막을 형성하는 단계;

상기 하드마스크용 질화막 상에 반사방지막을 형성하는 단계;

상기 반사방지막 상에 ArF 노광원을 이용한 포토리소그래피 공정을 통해 포토레지스트 패턴을 형성하는 단계;

적어도 두개의 챔버를 포함하는 식각 장치에 상기 포토레지스트 패턴이 형성된 기판을 장입하는 단계;

상기 포토레지스트 패턴을 식각마스크로 상기 반사방지막과 상기 하드마스크용 질화막을 선택적으로 식각하여 하드마스크를 형성하는 단계;

상기 포토레지스트 패턴 및 상기 반사방지막을 제거하는 단계;

상기 하드마스크를 식각마스크로 상기 이웃하는 도전패턴 사이의 상기 층간절연막을 식각하여 상기 식각정지막을 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀 저면에서의 상기 식각정지막을 제거하여 상기 기판을 노출시키는 단계; 및

상기 노출된 기판에 전기적으로 도통된 플러그를 형성하는 단계를 포함하며,

상기 하드마스크를 형성하는 단계 내지 상기 식각정지막을 제거하는 단계를 상기 식각 장치 내에서 인-시투로 실시하는 것을 특징으로 하는 반도체 장치 제조 방법.

#### 【청구항 6】

제 5 항에 있어서,

상기 하드마스크를 형성하는 단계와 상기 포토레지스트 패턴을 및 상기 반사방지막을 제거하는 단계를 제1 챔버에서 실시하며,

상기 콘택홀을 형성하는 단계와 상기 식각정지막을 제거하는 단계를 제2 챔버에서 실시하는 것을 특징으로 하는 반도체 장치 제조 방법.

#### 【청구항 7】

제 5 항에 있어서,

상기 식각정지막을 제거하는 단계에서, 블랭킷 식각 또는 셀 오픈 마스크를 이용하는 것을 특징으로 하는 반도체 장치 제조 방법.

#### 【청구항 8】

제 7 항에 있어서,

상기 콘택홀을 형성하는 단계에서 손실되는 양과, 상기 식각정지막을 제거하는 단계에서 손실되는 양을 합한 것과 같거나 큰 두께로 상기 하드마스크용 질화막을 형성하는 것을 특징으로 하는 반도체 장치 제조 방법.

#### 【청구항 9】

제 5 항에 있어서,



상기 식각정지막을 제거하는 단계에서, 상기 하드마스크를 동시에 제거하는 것을 특징으로 하는 반도체 장치 제조 방법.

**【청구항 10】**

제 1 항 또는 제 5 항에 있어서,

상기 층간절연막은 산화막 계열의 물질막이며,

상기 콘택홀을 형성하는 단계에서, 자기정렬콘택 식각 공정을 이용하는 것을 특징으로 하는 반도체 장치 제조 방법.

**【청구항 11】**

제 10 항에 있어서,

상기 도전패턴은 하드마스크 절연막/전도막 구조이며,

상기 자기정렬콘택 식각시 손실되는 양과, 상기 식각정지막을 제거하는 단계에서 손실되는 양을 합한 것보다 큰 두께로 상기 하드마스크 절연막을 형성하는 것을 특징으로 하는 반도체 장치 제조 방법.

**【청구항 12】**

제 10 항에 있어서,

상기 자기정렬콘택 식각시  $C_4F_6$  또는  $C_5F_8$  가스를 이용하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 13】

제 1 항 또는 제 5 항에 있어서,

상기 플러그를 형성하는 단계는,

상기 노출된 기판에 도통되도록 플러그 형성용 물질을 형성하는 단계;

상기 셀영역과 상기 주변회로영역의 단차를 줄이기 위해 증착된 상기 플러그 형성용 물질의 일부를 에치백하여 제거하는 단계; 및

상기 도전패턴 상부가 노출되는 타겟으로 상기 플러그 형성용 물질을 연마하여 격리된 플러그를 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

【청구항 14】

제 13 항에 있어서,

상기 플러그 형성용 물질을 형성하는 단계는,

상기 기판 전면에서 상기 플러그 형성용 물질을 증착하는 방식 또는 선택적 에피택셜 성장을 통해 상기 노출된 기판으로부터 성장시키는 방식을 이용하는 것을 특징으로 하는 반도체 장치 제조 방법.





【청구항 15】

제 1 항 또는 제 5 항에 있어서,

상기 포토레지스트 패턴은, 라인 타입 또는 홀 타입을 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

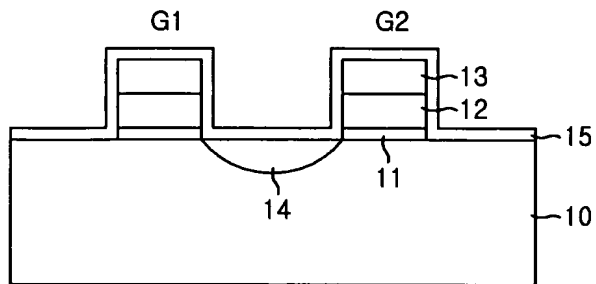
【청구항 16】

제 1 항 또는 제 5 항에 있어서,

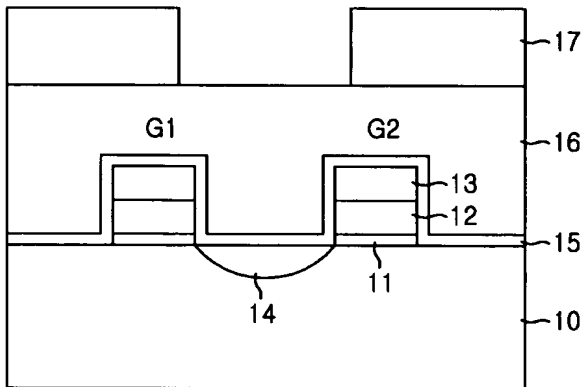
상기 도전패턴은 게이트전극 패턴, 비트라인 또는 금속배선 중 어느 하나를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

【도면】

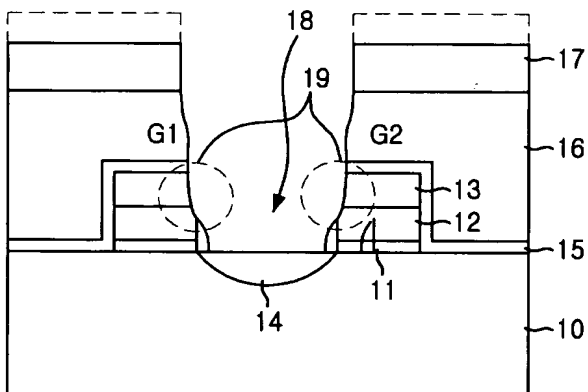
【도 1a】



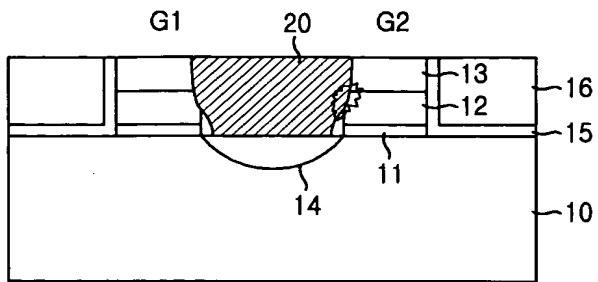
【도 1b】



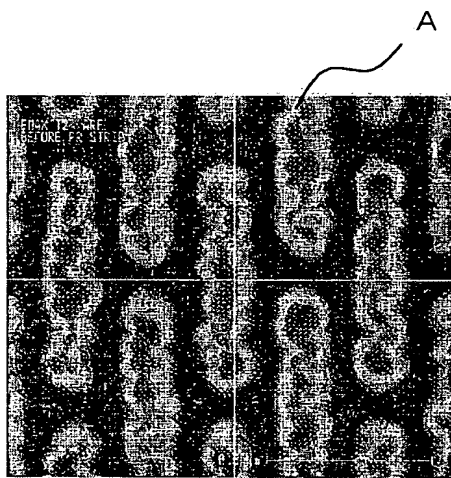
【도 1c】



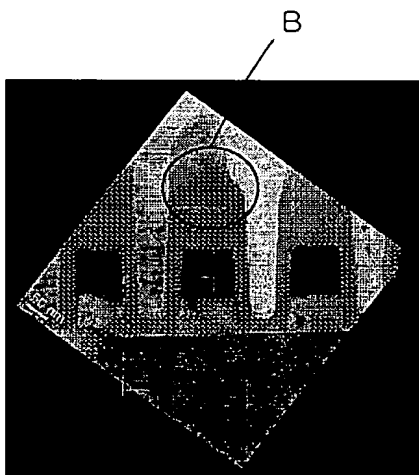
【도 1d】



【도 2】

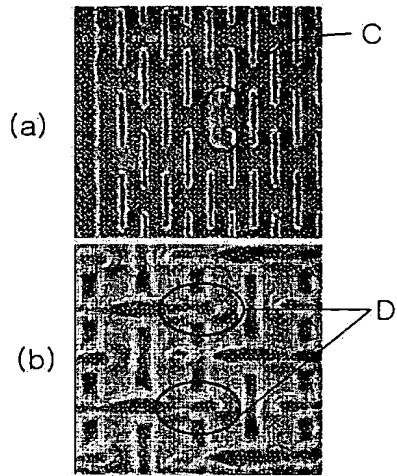


【도 3】

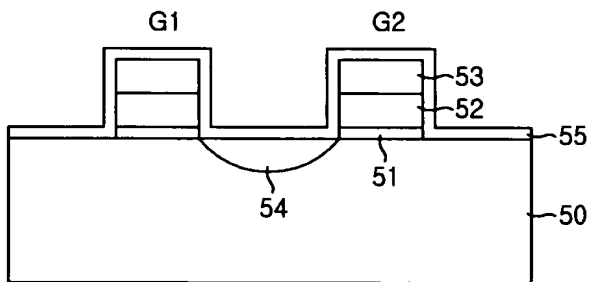




【도 4】



【도 5a】



【도 5b】

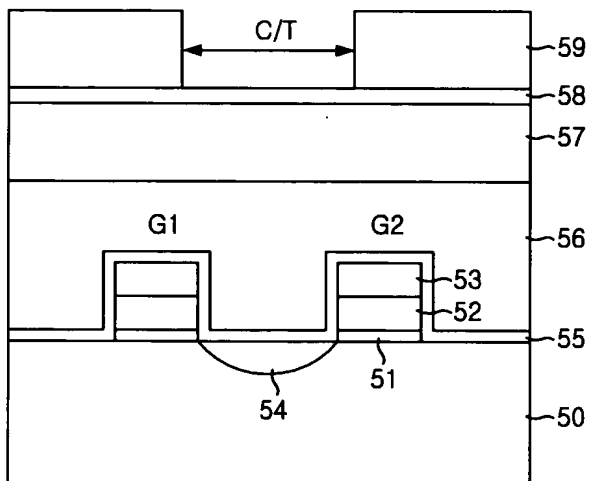
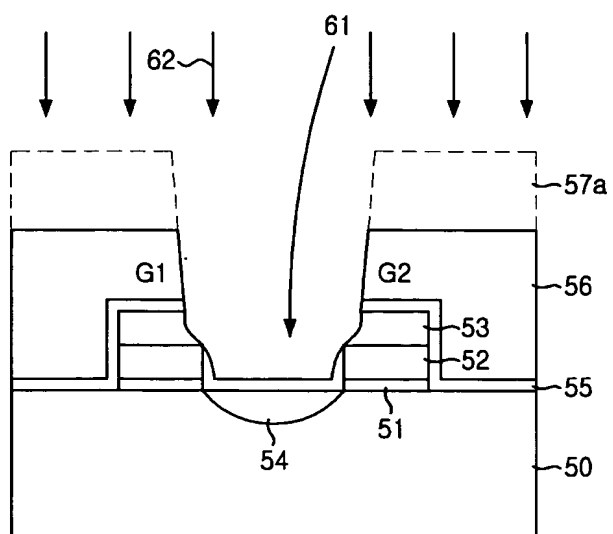


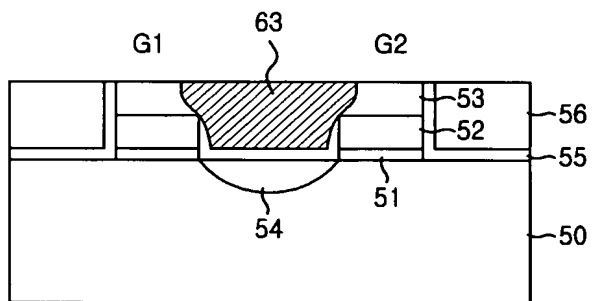
Diagram illustrating a cross-sectional view of a semiconductor device. The structure includes a substrate 50, a layer 55, and two gate structures G1 and G2. Gate structures G1 and G2 are formed on layer 55 and consist of a lower layer 52 and an upper layer 53. A curved layer 54 is located between G1 and G2. Above G1 and G2 are two rectangular blocks 57a and 58. Dashed boxes 59 are shown above blocks 57a and 58.

A cross-sectional view of a semiconductor device. A central opening is formed in a substrate 50. A bridge 51 is positioned over the opening, with a gap L between its top surface and the bottom of the opening. The bridge 51 is supported by side walls 52 and 53. A layer 54 is located at the bottom of the opening. Two regions, G1 and G2, are located on either side of the opening. Arrows 60 and 61 indicate light incident on the top surface of the device. A layer 56 is on top of the side walls, and a layer 57a is on top of the central opening.

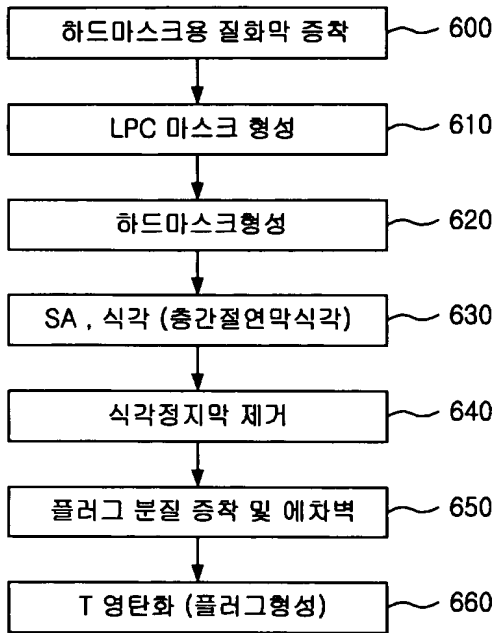
【도 5e】



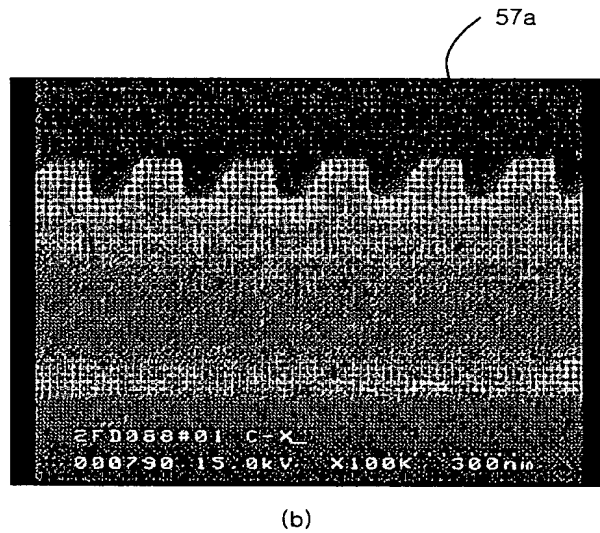
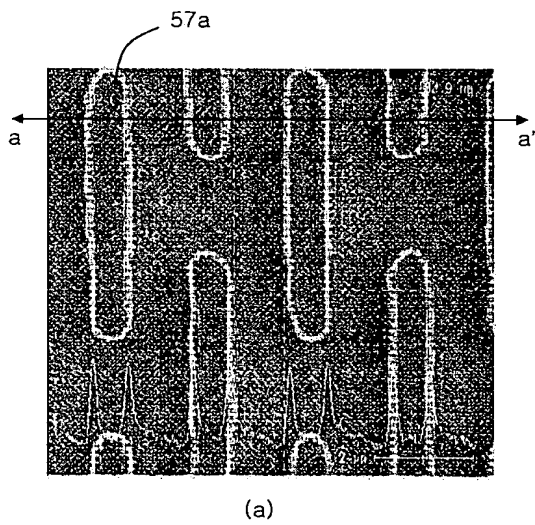
【도 5f】



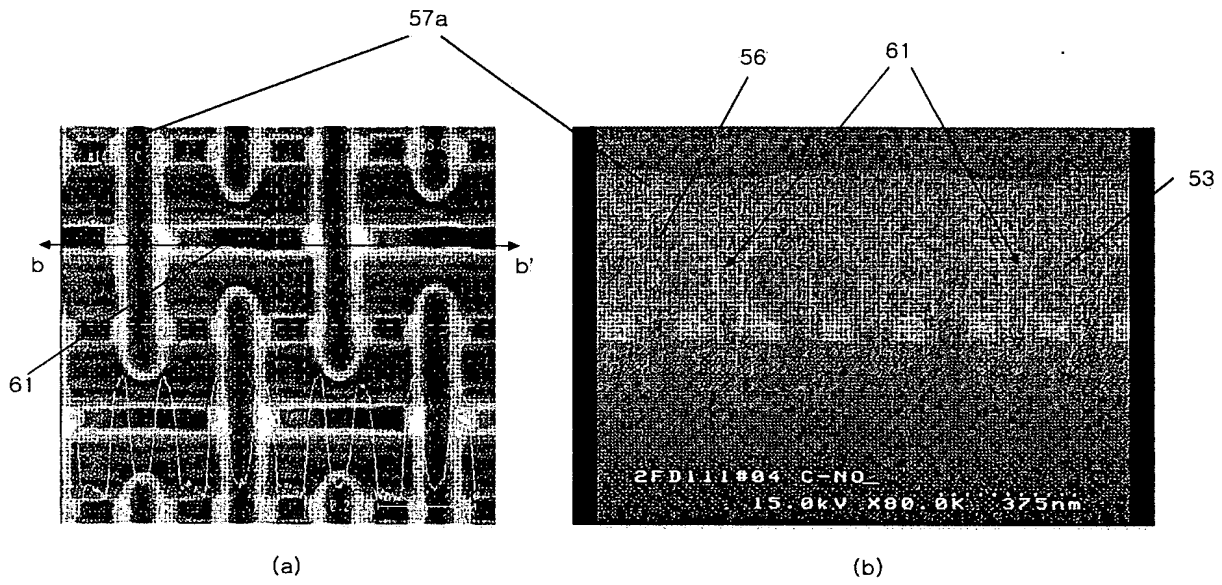
【도 6】



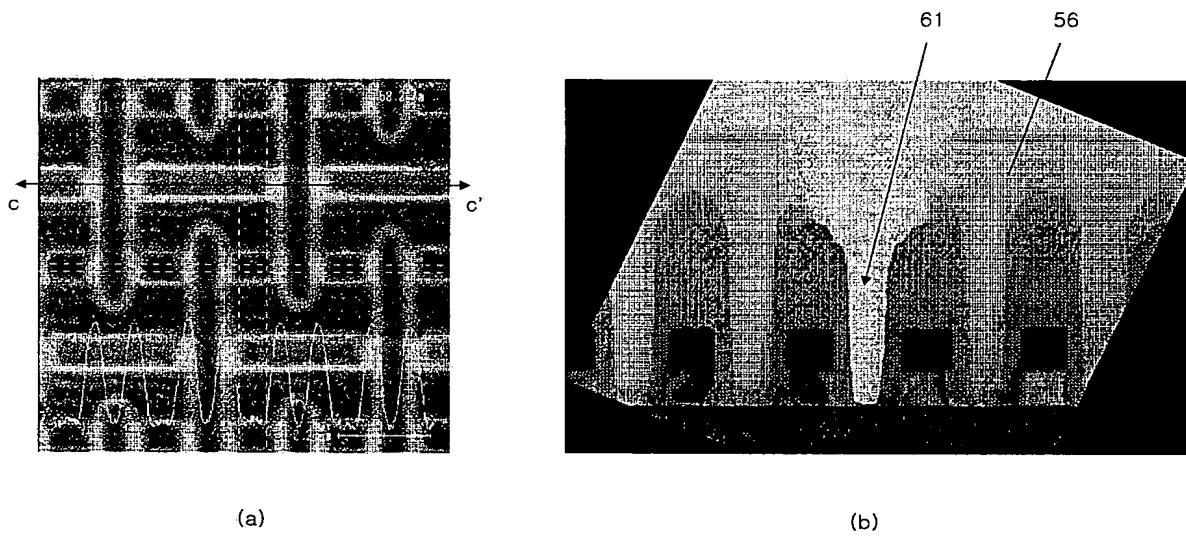
【도 7】



【도 8】



【도 9】





【도 10】

